

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-049745

(43) Date of publication of application : 18.02.2000

(51) Int.Cl. H04J 11/00  
 H03H 17/00  
 H04B 1/04  
 // H04L 27/00

(21) Application number : 10-211640

(71) Applicant : NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(22) Date of filing : 27.07.1998

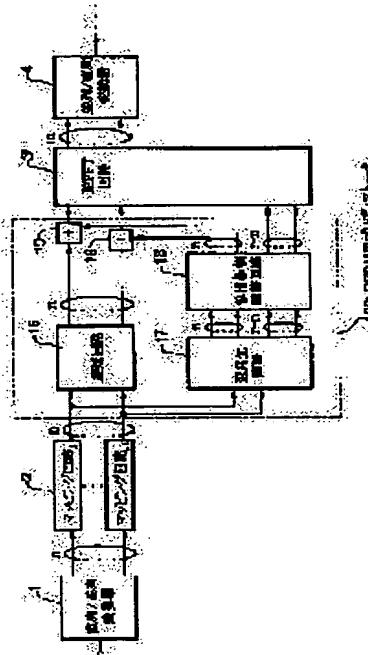
(72) Inventor : UENO SHIYUUTA

## (54) PREDISTORTER FOR OFDM

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide with a simple constitution predistorter for OFDM (orthogonal frequency division multiplexing) capable of performing highly accurate nonlinear distortion compensation.

**SOLUTION:** This predistorter 100 for the OFDM is constituted of a digital processing circuit, composed of a distortion generation circuit 17 for inputting transmission data transmitted by respective sub carriers and computing the third distortion of the respective sub carriers and the outside of a band based on the transmission data, a phase amplitude adjustment circuit 18 for adjusting and outputting the phase and amplitude of the computed third distortion of the respective sub carriers and the outside of the band, so as to offset the third distortion component of nonlinear distortion generated in an amplifier in the output of the amplifier, a delay circuit 16 for delaying and adjusting transmission data for the processing time of the distortion generation circuit 17 and the phase amplitude adjustment circuit 18 and a combining circuit 19 for combining the output of the delay circuit 16 and the output of the phase amplitude adjustment circuit 18 for the corresponding sub carriers with each other.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int. Cl. <sup>7</sup>	識別記号	F I	マークコード (参考)
H04J 11/00		H04J 11/00	Z 5K004
H03H 17/00	621	H03H 17/00	621 K 5K022
H04B 1/04		H04B 1/04	R 5K060
// H04L 27/00		H04L 27/00	Z

審査請求 未請求 請求項の数 2 O L (全 9 頁)

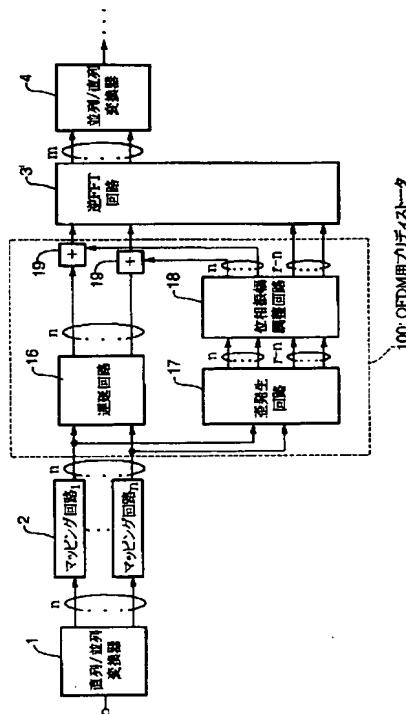
(21)出願番号	特願平10-211640	(71)出願人	000004226 日本電信電話株式会社 東京都千代田区大手町二丁目3番1号
(22)出願日	平成10年7月27日(1998.7.27)	(72)発明者	上野 衆太 東京都新宿区西新宿三丁目19番2号 日本 電信電話株式会社内
		(74)代理人	100064908 弁理士 志賀 正武 Fターム(参考) 5K004 AA01 BA01 BA02 5K022 DD13 DD23 DD24 5K060 BB07 HH03 HH34 HH36 HH37 KK03 KK06 LL30

(54)【発明の名称】OFDM用ブリディストータ

## (57)【要約】

【課題】簡易な構成で高精度な非線形歪補償のできるOFDM用ブリディストータを提供する。

【解決手段】OFDM用ブリディストータ100は、各サブキャリアで伝送される送信データを入力し、この送信データに基づき各サブキャリア及び帯域外の3次歪を演算する歪発生回路17と、増幅器で発生する非線形歪の3次歪成分が増幅器の出力において相殺されるように、演算された各サブキャリア及び帯域外の3次歪の位相及び振幅を調整して出力する位相振幅調整回路18と、歪発生回路17および位相振幅調整回路18の処理時間分、送信データを遅延調整する遅延回路16と、遅延回路16の出力と位相振幅調整回路18の出力とを対応するサブキャリアどうしで合成する合成回路19とかなるデジタル処理回路により構成される。



## 【特許請求の範囲】

【請求項1】 OFDM送信部において、後段に設置された増幅器の非線形歪を取り除くOFDM用プリディストータであって、

前記OFDM用プリディストータは、各サブキャリアで伝送される送信データを入力し、該送信データに基づき各サブキャリア及び帯域外の3次歪を演算する歪発生回路と、

前記増幅器で発生する非線形歪の3次歪成分が該増幅器の出力において相殺されるように、該演算された各サブキャリア及び帯域外の3次歪の位相及び振幅を調整して出力する位相振幅調整回路と、

前記歪発生回路および位相振幅調整回路の処理時間分、前記送信データを遅延調整する遅延回路と、

前記遅延回路の出力と前記位相振幅調整回路の出力を対応するサブキャリアどうしで合成する合成回路と、

からなるデジタル処理回路により構成され、

前記OFDM送信部を構成する逆フーリエ変換回路に前記合成回路の出力と前記位相振幅調整回路において調整された帯域外の3次歪とが入力され、該逆フーリエ変換回路により逆フーリエ変換されて時系列データが出力されることを特徴とするOFDM用プリディストータ。

【請求項2】 OFDM送信部において、後段に設置された増幅器の非線形歪を取り除くOFDM用プリディストータであって、

前記OFDM用プリディストータは、

各サブキャリアで伝送される送信データを入力し、該送信データに基づきサブキャリアに対し帯域外の3次歪を演算する歪発生回路と、

前記増幅器で発生する非線形歪の帯域外の3次歪成分が相殺されるように、該演算された帯域外の3次歪の位相及び振幅を調整して出力する位相振幅調整回路と、

前記歪発生回路および位相振幅調整回路の処理時間分、前記送信データを遅延調整する遅延回路と、からなるデジタル処理回路により構成され、

前記OFDM送信部を構成する逆フーリエ変換回路に前記遅延回路の出力と前記位相振幅調整回路において調整された帯域外の3次歪とが入力され、該逆フーリエ変換回路により逆フーリエ変換されて時系列データが出力されることを特徴とするOFDM用プリディストータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、OFDM(Orthogonal Frequency Division Multiplexing; 以下「OFDM」と略記)装置の送信部で問題となる増幅器の非線形歪を取り除くプリディストータに関するものである。

## 【0002】

【従来の技術】 始めに、OFDM装置の送信部(以下、「OFDM送信部」と呼ぶ)の構成例について図5を用いて説明する。QPSK(Quadrature Phase Shift Key

ing) -OFDM送信部の場合、送信するデータ系列は直列/並列変換器1によりサブキャリア数分(n)の低速シンボル列に変換されn個からなるマッピング回路2にそれぞれ入力される。各マッピング回路2では1つのサブキャリアで伝送する1低速シンボル当たりの2ビットをI、Qデータとして割り当てられる。ここで、I、Qデータは周波数軸上の複素数の実部、虚部に相当する。各マッピング回路2から出力されたI、Qデータは、逆FFT回路3により、サブキャリア数分のn列を10 シンボル期間毎に1回、時間軸上に変換され、並列/直列変換器4により時系列データの複素数に変換される。この逆FFT回路3のFFTサイズはm(>n)であり、一般には処理の高速化のため2の幂乗となってい10る。この時系列データはシンボル整形回路5によりガードインターバルが付加され、ランプ処理が行われる。このデジタル信号波形は、D/A変換器8によりD/A変換されアナログ信号となる。アナログ信号となった後、所定の低域通過フィルタ7により高周波を取り除かれ、直交変調器8でベースバンド帯から中間周波数帯に変換し、さらに周波数変換器9により無線周波数帯に移し、最後に高出力な増幅器10により所望出力レベルにして出力する。

【0003】 ところでOFDM送信部では、増幅器10において複数のサブキャリアを共通増幅するため非線形歪の影響を受けやすい。図6に3次歪が発生しているOFDM変調波のスペクトラムを示す。相互に変調し合い3次歪を発生する3つのサブキャリアの周波数をf1、f2、f3とすると、変調波近傍ではf1+f2-f3の所に歪成分が生じる。3つのサブキャリアの全組み合わせにおける歪の重ね合わせが全体の非線形歪となる。

【0004】 従来、このOFDM送信部の後段に設置された増幅器10の非線形歪の補償回路としてプリディストータが用いられている。その構成例を図7に示す。図7に示すプリディストータは、増幅器10に入力する前の無線周波数帯あるいは中間周波数帯に配置されるが、ここでは、図5における周波数変換器9と増幅器10との間に設けられているものとする。まず、周波数変換器9からの信号がこのプリディストータへ入力される。この入力信号はプリディストータ内で2分岐され、一方の信号は歪発生器11により歪成分を意図的に作り、可変移相器12と可変減衰器13によりこの歪成分の位相と振幅が増幅器10で生じる歪成分と等振幅・逆位相となるように調整される。もう一方の信号は遅延回路14で、歪発生器11、可変移相器12、可変減衰器13のにおける遅延時間分だけ遅延調整される。そして、可変減衰器13と遅延回路14からの信号が合成回路15により合成された後、増幅器10に入力される。これにより、増幅器10からの出力において歪が相殺される。なお、上述したプリディストータの詳細については、例えば、野島、岡本、"マイクロ波SSB-AM方式用プリ

ディストーション非線形歪補償回路、”電子情報通信学会論文誌（B）。vol. j67-B. no. 1 pp. 78-85（昭59-1）を参照にされたい。

【0005】

【発明が解決しようとする課題】図7に示すような従来のプリディストータは、増幅器10に入力する前の無線周波数帯あるいは中間周波数帯に配置され、アナログ信号に対して実現されている。よって、前述の歪発生回路11、可変移相器12、可変減衰器13及び遅延回路14にはアナログ回路が用いられていた。このため、各回路の経年変化に対して可変移相器12及び可変減衰器13は自動的に追従し長期安定性を達成する必要があった。また、歪発生回路11の出力における周波数特性の平坦性が良好であることが要求されていた。さらに、アナログ回路の多用することにより、装置の小型化、長期安定性といった要求を満たすことが困難となる。

【0006】本発明はこのような事情に鑑みてなされたもので、簡易な構成で高精度な非線形歪補償のできるO F D M用プリディストータを提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明は、O F D M送信部において、後段に設置された増幅器の非線形歪を取り除くO F D M用プリディストータであって、前記O F D M用プリディストータが、各サブキャリアで伝送される送信データを入力し、該送信データに基づき各サブキャリア及び帯域外の3次歪を演算する歪発生回路と、前記増幅器で発生する非線形歪の3次歪成分が該増幅器の出力において相殺されるように、該演算された各サブキャリア及び帯域外の3次歪の位相及び振幅を調整して出力する位相振幅調整回路と、前記歪発生回路および位相振幅調整回路の処理時間分、前記送信データを遅延調整する遅延回路と、前記遅延回路の出力と前記位相振幅調整回路の出力とを対応するサブキャリアどうしで合成する合成回路と、からなるデジタル処理回路により構成され、前記O F D M送信部を構成する逆フーリエ変換回路に前記合成回路の出力と前記位相振幅調整回路において調整された帯域外の3次歪とが入力され、該逆フーリエ変換回路により逆フーリエ変換されて時系列データが出力されることを特徴とするO F D M用プリディストータである。

【0008】また、本発明は、O F D M送信部において、後段に設置された増幅器の非線形歪を取り除くO F D M用プリディストータであって、前記O F D M用プリディストータが、各サブキャリアで伝送される送信データを入力し、該送信データに基づきサブキャリアに対し帯域外の3次歪を演算する歪発生回路と、前記増幅器で発生する非線形歪の帯域外の3次歪成分が相殺されるように、該演算された帯域外の3次歪の位相及び振幅を調整して出力する位相振幅調整回路と、前記歪発生回路お

より位相振幅調整回路の処理時間分、前記送信データを遅延調整する遅延回路と、からなるデジタル処理回路により構成され、前記O F D M送信部を構成する逆フーリエ変換回路に前記遅延回路の出力と前記位相振幅調整回路において調整された帯域外の3次歪とが入力され、該逆フーリエ変換回路により逆フーリエ変換されて時系列データが出力されることを特徴とするO F D M用プリディストータである。

【0009】

10 【発明の実施の形態】以下、本発明の一実施形態によるO F D M用プリディストータを図面を参照して説明する。

【0010】（第1の実施の形態）図1は、本発明の第1の実施の形態によるO F D M送信部の構成を示した図である。本実施の形態におけるO F D M送信部は、図5に示すO F D M送信部に対し、O F D M用プリディストータ100がn個のマッピング回路2と逆FFT回路3との間に挿入された構成となっている。ここで、図5に示す逆FFT回路3では、サブキャリア数分のn列の入力信号があり、このn列の入力信号をシンボル周期毎に一回、逆フーリエ変換して時系列データを出力するのに対し、図1に示す逆FFT回路3'では、サブキャリア数分のn列とその帯域外の(r-n)列の入力信号があり、このr (=n+(r-n))列の入力信号をシンボル周期毎に一回、逆フーリエ変換して時系列データを出力する点で異なる。ただし、列数rは逆FFT回路3'のFFTサイズm以下であるものとする。それ以外の入力からマッピング回路2までと、並列／直列変換器4以降は図5と同じである。なお、図1において、並列／直列変換器4以降のシンボル整形回路5、D/A変換回路6、低域通過フィルタ7、直交変調器8、周波数変換器9、増幅器10は、紙面の都合から省略してある。また、図1において、図4の各部に対応する部分には同一の符号を付け、その説明を省略し、以下では本実施の形態のO F D M用プリディストータ100を詳細に説明する。

【0011】O F D M用プリディストータ100は、図1に示すように、歪発生回路17、位相振幅調整回路18、遅延回路16、サブキャリア数分のn個の合成回路19とからなるデジタル処理回路により構成される。ここで、歪発生回路17は、各サブキャリアで伝送される送信データ、すなわちそれぞれのマッピング回路2からの信号を入力し、この送信データに基づき各サブキャリア及び帯域外の3次歪を演算する。演算される3次歪の列数をr (r>n)とすると、n列がサブキャリアの3次歪であり、それ以外の(r-n)列が帯域外の3次歪となる。位相振幅調整回路18は、増幅器10で発生する非線形歪の3次歪成分が増幅器10の出力において相殺されるように、歪発生回路17で演算された各サブキャリア(n列)及び帯域外((r-n)列)の3次歪の

位相及び振幅を調整して出力する。なお、n列のサブキャリアの3次歪に関する出力信号は、対応する各合成回路19に対して出力され、(r-n)列の帯域外の3次歪に関する出力信号は、逆FFT回路3'に対して出力される。遅延回路16は、歪発生回路17および位相振幅調整回路18に対して並列に接続され、歪発生回路17および位相振幅調整回路18の処理時間分、前述の送信データを遅延調整する。そして、合成回路19は、遅延回路16の出力と位相振幅調整回路18の出力を対応するサブキャリアどうしで合成し、その合成信号を逆FFT回路'に対し出力する。

【0012】なお、O F D M送信部において、D/A変換器6以前の処理は、すべてデジタル処理となることから、O F D M用ブリディストータ100もデジタル信号処理を行うデジタル処理回路により構成される。

【0013】次に、O F D M用ブリディストータ100の動作を説明する。まず、n個のマッピング回路2の出力は2分岐され、一方の信号は後で詳細に説明する歪発生回路17に入力される。そして、歪発生回路17において、サブキャリア数分のn列の3次歪と(r-n)列の帯域外の3次歪を演算により発生させる。歪発生回路17で演算された合計r列(=n+(r-n))の3次歪は位相振幅調整回路18に入力される。そして、入力された3次歪別に位相及び振幅が調整されて出力される。なお、各列の3次歪の位相調整量および振幅調整量は、増幅器10で発生する非線形歪の3次歪成分が増幅器10の出力において相殺される、すなわち逆位相、同振幅となるように初期値として予め設定されており、この初期値に基づき位相及び振幅の調整が行われるものとする。また、サブキャリアに関するn列の3次歪に関する位相振幅調整回路18の出力信号は各サブキャリアに対応する合成回路19にそれぞれ出力され、(r-n)列の帯域外の3次歪に関する出力信号は逆FFT回路3'に対して出力される。マッピング回路2の出力のもう一方は遅延回路16に入力される。そして、遅延回路16において、歪発生回路17及び位相振幅調整回路18の処理時間だけ遅延調整されて出力される。この遅延回路16の出力と位相振幅調整回路18の出力のうちのn列の各サブキャリアの3次歪がn個の合成回路19によって合成され、逆FFT回路3'に対して出力される。以上が、O F D M用ブリディストータ100の動作である。

【0014】なお、逆FFT回路3'には、合成回路19のそれぞれの出力と位相振幅調整回路18の出力のうち(r-n)列の帯域外の3次歪成分が逆FFT回路3'に入力されて、これらr列の信号がシンボル期間毎に逆フーリエ変換により時間軸上に変換される。そして、この時間軸上に変換されたm列の信号は、並列/直列変換器4により時系列データの複素数に変換され、以降は図5で説明した通りの処理が各回路により行われる。

る。

【0015】次に、図1で示した歪発生回路17の構成例を図2に示す。図2に示すように、歪発生回路17は、n個のサブキャリアの周波数から3次歪を発生する組み合わせを選択する選択回路30と、n個のマッピング回路から入力されるn個の送信信号の位相データ $\theta_1 \sim \theta_n$ を順に記憶するメモリ20と、求めた3次歪の演算結果を周波数単位で記憶するメモリ25と、メモリ20の記憶内容を利用して選択回路30で選択された組み合わせの歪成分を計算する演算回路23と、選択回路30で選択された組み合わせの周波数に相当するメモリ25のアドレスを演算する演算回路24と、演算回路24で演算されたアドレスの歪成分をメモリ25から呼び出し、この歪成分に演算回路23で演算された歪成分を加えて演算回路24で演算されたアドレスに格納する合成回路26とにより構成されている。なお、演算の終了段階でメモリ25に記憶された値が、r列の3次歪成分として、位相振幅調整回路18に出力される。

【0016】次に図2に示す歪発生回路17の動作を説明する。はじめに、サブキャリアに1からnの番号を付け、対応する送信信号の位相データ $\theta_1 \sim \theta_n$ をメモリ20に格納する。ここで言う位相信号とは、n個の各マッピング回路2の出力データのことをいい、前述の動作はマッピング回路2から信号が入力されることにより行われる。なお、1からnのサブキャリアの番号は、サブキャリアの周波数の低い順であるものとする。またメモリ25は、歪成分が発生する周波数単位数に対応して-nから2nまでのアドレスを持ち、マッピング回路2から信号が入力される段階で、全て0の値に初期化される。

【0017】次に、歪発生回路17は、メモリ20への位相データの格納およびメモリ25の初期化が終了すると、歪成分の演算を開始する。ここで、n波のサブキャリアのうち相互に変調し合い3次歪を発生する3波の番号をそれぞれn1、n2、n3とすると、前述したように3次歪は $s = n_1 + n_2 - n_3$ の所に生じ、n波から選択した3波のサブキャリアの全組み合わせにおける重ね合わせとなる。さらに細かくいえば次の3つの条件 $(n_1 \leq n_2, n_1 \neq n_3, n_2 \neq n_3)$ を満足する組み合わせとなる。そこで、上述の条件を満たす3波の組み合わせを順に選択していくために、選択回路30は、前述のn1、n2、n3にそれぞれ対応する番号をカウントしていくための3台のカウンタ21a、21b、21cを備えている。ここで、図2の選択回路30の構成から分かるように、n1とn3に対応したカウンタ21a、21cは1からnまで1ずつ順にカウントアップを行い、n2に対応したカウンタ21bはn1からnまで1ずつ順にカウントアップを行う。なお、各カウンタ21a～21cのカウント初期値は入力部「start」に入力される値であり、各カウンタ21a～21cは入力部

「+1」に信号が入力される毎にカウントアップを行う。また、各カウンタ 21a～21c の出力部「out」からはカウント値が出力され、カウント値が  $n$  を越えると出力部「reset」からリセット信号を出力するとともにカウント値が入力部「start」に入力されている値にリセットさせる。本実施の形態では、初期段階で各カウンタのカウント値は全て「1」にセットされ、 $n_3$  に対応したカウンタ 21c から順繰りに 1 から  $n$  までカウントアップをしていく。そして、カウンタ 21c のカウント値が  $n$  に達すると、次にカウンタ 21c のカウント値が「1」にリセットされるとともに、カウンタ 21b のカウント値がカウントアップされる。また、カウンタ 21b のカウント値が  $n$  に達すると、次にカウンタ 21a のカウント値がカウントアップされるとともに、カウンタ 21b のカウント値がカウンタ 21a のカウント値と等しい値にリセットされる。

【0018】一方、条件回路 22a, 22b によって条件 ( $n_1 \neq n_3, n_2 \neq n_3$ ) を満たさない ( $n_1, n_2, n_3$ ) の組み合わせは除かれる。すなわち、条件回路 22a は、 $n_3$  に関するカウンタ 21c のカウント値と  $n_1$  に関するカウンタ 21a のカウント値の比較を行い 2 つのカウント値が一致する場合に、信号  $c_1$  を出力する。また、条件回路 22b は、 $n_3$  に関するカウンタ 21c のカウント値と  $n_2$  に関するカウンタ 21b のカウント値の比較を行い 2 つのカウント値が一致する場合に、信号  $c_2$  を出力する。また、これら条件回路 22a, 22b の出力信号は、出力先をカウンタ 21c の入力部「+1」とする論理回路 27 となっていることから、( $n_1 \neq n_3, n_2 \neq n_3$ ) を満たさない ( $n_1, n_2, n_3$ ) の組み合わせの場合、カウンタ 21c が直ちにカウントアップされる。その結果、条件 ( $n_1 \neq n_3, n_2 \neq n_3$ ) を満たさない ( $n_1, n_2, n_3$ ) の組み合わせは歪成分の演算から除かれることになる。

【0019】3 次歪を発生する組み合わせになると、その組み合わせ ( $n_1, n_2, n_3$ ) が、選択回路 30 より出力される。そして、演算回路 23 は、この組み合わせ ( $n_1, n_2, n_3$ ) に対応したメモリ 20 のアドレスを参照することで、この時の送信信号の位相データ ( $\theta_{n_1}, \theta_{n_2}, \theta_{n_3}$ ) をメモリ 20 から呼び出す。そして、歪成分  $\phi$  を

$$\phi = \theta_{n_1} + \theta_{n_2} - \theta_{n_3}$$

として計算し、出力する。また、選択回路 30 より出力された組み合わせ ( $n_1, n_2, n_3$ ) は演算回路 24 にも入力される。そして、この演算回路 24 は、この組み合わせにおいて歪成分が演算される周波数に相当するメモリ 25 のアドレス  $s$  を

$$s = n_1 + n_2 - n_3$$

として計算する。なお、 $s$  の最小値は組み合わせが ( $n_1 = 1, n_2 = 1, n_3 = n$ ) の場合の ( $-n + 2$ ) であり、 $s$  の最大値は組み合わせが ( $n_1 = n, n_2 =$

$n, n_3 = 1$ ) の ( $2n - 1$ ) となり、メモリ 25 のアドレスの範囲 ( $-n$  から  $2n$ ) に収まる。次に、合成回路 26 は、メモリ 25 から演算回路 24 で演算されたアドレス  $s$  に格納されている歪成分  $\phi_s$  を呼び出す。そして、歪成分  $\phi_s$  に演算回路 23 で演算された歪成分  $\phi$  を加えて、再度メモリ 25 のアドレス  $s$  に加算した歪成分値 ( $\phi_s + \phi$ ) を格納する。メモリ 25 は、この更新過程を終えたら完了パルス  $c_3$  を発生させ、次の組み合わせのため、 $n_3$  に関するカウンタ 21c をカウントアップさせる。

【0020】以上が全組み合わせについて繰り返される。こうして歪発生回路 17 で計算された歪成分の結果が周波数単位でメモリ 25 に記憶される。そして、演算を終了するとメモリ 25 に記憶された各値が、 $r$  列の 3 次歪成分として、位相振幅調整回路 18 に出力される。ここで、メモリ 25 から出力される値は、実際に歪成分の演算が行われるアドレス範囲 ( $-n + 2$ ) から ( $2n - 1$ ) に格納された  $r = (3n - 2)$  列の値とする。なお、メモリ 25 は初期値として 0 がセットされることから、アドレス範囲 ( $-n$ ) から ( $2n$ ) に格納された  $r = (3n + 1)$  列の値を位相振幅調整回路 18 に出力しても問題ない。ここで、メモリ 25 に格納された歪成分のうち、アドレス範囲  $1 \sim n$  に格納された  $n$  個の歪成分が、各サブキャリアに関する 3 次歪成分であり、それ以外の ( $r - n$ ) 個が帯域外の 3 次歪成分となる。なお、メモリ 25 のアドレス範囲を  $-n$  から  $2n$  とするのではなく、実際に歪成分の演算が行われるアドレス範囲 ( $-n + 2$ ) から ( $2n - 1$ ) としてもよい。

【0021】以上説明した歪発生回路 17 は、カウンタや加算のみの演算回路といった小規模のゲート数で構成できる回路および容量の少ないメモリのみから構成されている。よって、歪発生回路 17 は、ゲート数、メモリ容量が少ない規模で実現できる。

【0022】以上のように本実施の形態の O F D M 用ブリディストータ 100 は、歪発生回路 17 で演算、出力される周波数毎の 3 次歪が、位相振幅調整回路 18 により増幅器 10 の出力において 3 次歪が相殺されるように位相と振幅が調整される。このように、周波数毎に逆特性の 3 次歪を発生させて歪補償を行うため広帯域信号に対しても高精度な非線形歪補償が可能となる。また、O F D M 用ブリディストータ 100 は、デジタル回路として構成されるため、アナログ回路のような経年劣化がなく、装置を小型化することができる。

【0023】(第 2 の実施の形態) 図 3 は、本発明の第 2 の実施の形態による O F D M 送信部の構成を示した図である。第 1 の実施形態に示す O F D M 用ブリディストータ 100 が各サブキャリア及び帯域外の 3 次歪を補償するのに対し、本実施の形態の O F D M 用ブリディストータ 101 は、帯域外輻射成分を減衰させることを目的としてサブキャリアに対し帯域外となる 3 次歪の補償の

みを行う点において相違する。以下では、本実施の形態におけるO F D M用ブリディストータ 1 0 1を図3を参照して説明する。

【0024】本実施の形態におけるO F D M送信部も第1の実施の形態と同様に、図5に示すO F D M送信部に対し、O F D M用ブリディストータ 1 0 1がn個のマッピング回路2と逆F F T回路3'との間に挿入された構成となっている。本実施の形態のO F D M送信部は、本実施の形態のO F D M用ブリディストータ 1 0 1が第1の実施の形態のO F D M用ブリディストータ 1 0 0と構成が異なる点を除いて同じである。そこで、以下では本実施の形態のO F D M用ブリディストータ 1 0 1を図面を参照して詳細に説明する。

【0025】O F D M用ブリディストータ 1 0 1は、図3に示すように、歪発生回路 1 7'、位相振幅調整回路 1 8'、遅延回路 1 6とからなるデジタル処理回路により構成される。ここで、歪発生回路 1 7'は、各サブキャリアで伝送される送信データ、すなわちそれぞれのマッピング回路2からの信号を入力し、この送信データに基づきサブキャリアに対し帯域外となる3次歪を演算する。ここでは、演算される帯域外の3次歪の列数を(r-n)列とする。位相振幅調整回路 1 8'は、増幅器10で発生する非線形歪の帯域外の3次歪成分が相殺されるように、演算された帯域外の3次歪の位相及び振幅を調整して出力する。なお、(r-n)列の帯域外の3次歪に関する出力信号は、逆F F T回路3'に対し出力される。遅延回路 1 6は、歪発生回路 1 7'および位相振幅調整回路 1 8'の処理時間分、前述の送信データを遅延調整する。なお、遅延調整されたn列の送信データは、逆F F T回路3'に対し出力される。

【0026】なお、O F D M送信部において、D/A変換器6以前の処理は、すべてデジタル処理となることから、O F D M用ブリディストータ 1 0 1もデジタル信号処理を行うデジタル処理回路により構成される。

【0027】次に、O F D M用ブリディストータ 1 0 1の動作を説明する。まず、n個のマッピング回路2の出力は2分岐され、一方の信号は後で詳細に説明する歪発生回路 1 7'に入力される。そして、歪発生回路 1 7'において、(r-n)列の帯域外の3次歪を演算により発生させる。歪発生回路 1 7'で演算された合計(r-n)列の帯域外の3次歪は位相振幅調整回路 1 8'に入力される。そして、(r-n)列の帯域外の3次歪別に位相及び振幅が調整されて出力される。なお、各列の3次歪の位相調整量および振幅調整量は、増幅器10で発生する非線形歪の3次歪成分が増幅器10の出力において相殺される、すなわち逆位相、同振幅となるように初期値として予め設定されているものとする。そして、位相振幅調整回路 1 8'からの(r-n)列の帯域外の3次歪に関する出力信号は逆F F T回路3'に対して出力される。マッピング回路2の出力のもう一方は遅延回路

1 6に入力される。そして、遅延回路 1 6において、歪発生回路 1 7'及び位相振幅調整回路 1 8'の処理時間だけ遅延調整されて、逆F F T回路3'に対し出力される。以上が、O F D M用ブリディストータ 1 0 1の動作である。

【0028】なお、逆F F T回路3'には、遅延回路からのn列の送信データと位相振幅調整回路 1 8'の(r-n)列の帯域外の3次歪成分が入力されて、これらr列の信号がシンボル期間毎に逆フーリエ変換により時間軸上に変換される。そして、この時間軸上に変換されたm列の信号は、並列/直列変換器4により時系列データの複素数に変換され、以降は図5で説明した通りの処理が各回路により行われ、後段の増幅器10の出力では帯域外の3次歪が相殺される。

【0029】次に、図3で示した歪発生回路 1 7'の構成例を図4に示す。図4の歪発生回路 1 7'は、図2の歪発生回路 1 7とほぼ構成が同じであることから、図4において図2の各部に対応する部分には同一の符号を付けてその説明を省略し、相違点のみを以下で説明する。

【0030】まず、選択回路 3 0'において、各サブキャリアの周波数における歪成分の演算を行わないために、演算回路 2 4で演算されたアドレス値sが $1 \leq s \leq n$ の場合、すなわち発生する歪が帯域内にある場合を除くための条件回路 2 2 cをさらに設けていている点が異なる。この条件回路 2 2 cの出力c 4は、論理回路 2 7'に入力されていることから、アドレス値sが条件

$1 \leq s \leq n$ を満たす場合、直ちにn 3に関するカウンタ 2 1 cがカウントアップされることになり、帯域内の歪成分の演算を行わないようになる。また、演算された

歪成分を格納するメモリ 2 5'のアドレス範囲は(-n)から2nとしても、その中のアドレス範囲1からnは帯域内の歪成分演算結果の格納領域となることから、実質的に使用されないことになる。なお、アドレス範囲1からnは使用されないことから、図4に示すようにメモリ 2 5'のアドレス範囲を論理的に(-n)~0、(n+1)~2nとしてもよい。以上が、図2の歪発生回路 1 7に対する相違点である。

【0031】なお、歪成分演算が終了の後、メモリ 2 5'に格納された帯域外の歪成分が、r列の帯域外の3次歪として、逆F F T回路3'へ出力される。

【0032】このように、本実施の形態のO F D M用ブリディストータ 1 0 1は、サブキャリア周波数帯内である帯域内の歪成分が自身の伝送品質劣化に対して問題にならず、むしろ、帯域外輻射が隣接するチャネルに与える干渉を軽減させる場合に利用できる。また、第1の実施の形態のO F D M用ブリディストータ 1 0 0よりも演算量が少なくて済む。

【0033】以上、第1および第2の実施の形態において、O F D M用ブリディストータは、歪補償効果の大きい3次歪を補償する回路として説明したが、これに限定

されるものではなく、より高次の歪補償も行うようにしてもよい。

【0034】また、この発明の実施の形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

【0035】

【発明の効果】以上説明したように、本発明によるO F D M用プリディストータによれば、下記の効果を得ることができる。

【0036】各サブキャリアで伝送される送信データから歪発生回路を用いて周波数単位で3次歪を演算し、この歪を増幅器で発生する非線形歪が相殺されるように位相振幅調整回路により位相振幅調整を行い、主信号と合わせて逆FFT回路に入力している。このように、周波数単位で歪補償を行っているため広帯域信号に対しても高精度な非線形歪補償が可能となる。また、本発明のO F D M用プリディストータは、デジタル回路として構成されるため、アナログ回路のような経年劣化がなく、装置を小型化することができる。また、増幅器で発生する帯域外の3次歪のみを相殺するように構成することで、特に非線形歪の帯域外輻射が問題になる場合に、この帯域外輻射のみを減衰させて隣接チャネル干渉を抑えることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態によるO F D M送信部の構成を示した図である。

【図2】 図1の歪発生回路の構成例を示した図である。

【図3】 本発明の第2の実施形態によるO F D M送信

30 100, 101 O F D M用プリディストータ

部の構成を示した図である。

【図4】 図3の歪発生回路の構成例を示した図である。

【図5】 一般的なO F D M送信部の構成を示した図である。

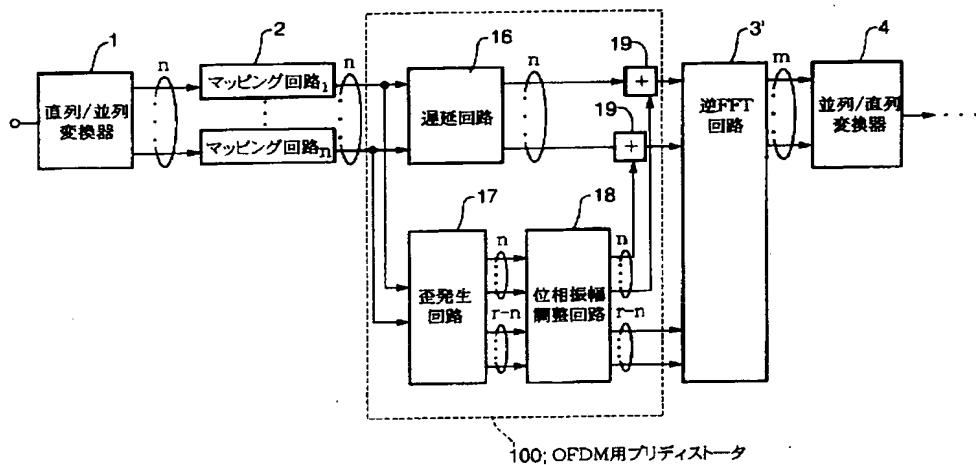
【図6】 3次歪が発生しているO F D M変調波のスペクトラムを示した図である。

【図7】 従来のプリディストータの一構成例を示した図である。

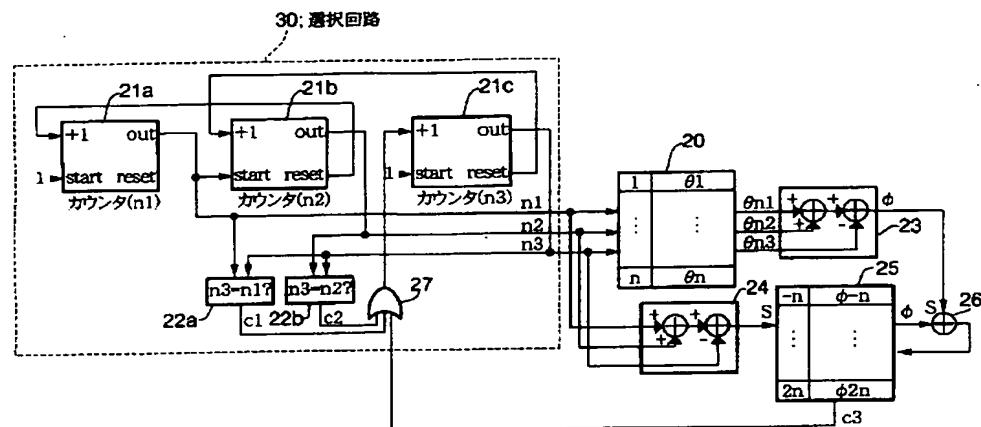
10 【符号の説明】

1	直列／並列変換器	2	マッピング回路	4	並列／直列変換器
3, 3'	逆FFT回路	5	シンボル整形回路	6	D/A変換器
7	低域通過フィルタ	8	直交変調器	10	増幅器
9	周波数変換器	16	遅延回路	17, 17'	歪発生回路
16	遅延回路	18, 18'	位相振幅調整回路	19	合成回路
20	メモリ	20, 25	メモリ	21a, 21b, 21c	カウンタ
21a, 21b, 21c	条件回路	22a, 22b, 22c	演算回路	23, 24	論理和回路
22a, 22b, 22c	条件回路	26	合成回路	27, 27'	論理和回路
26	合成回路	30	100, 101 O F D M用プリディストータ		

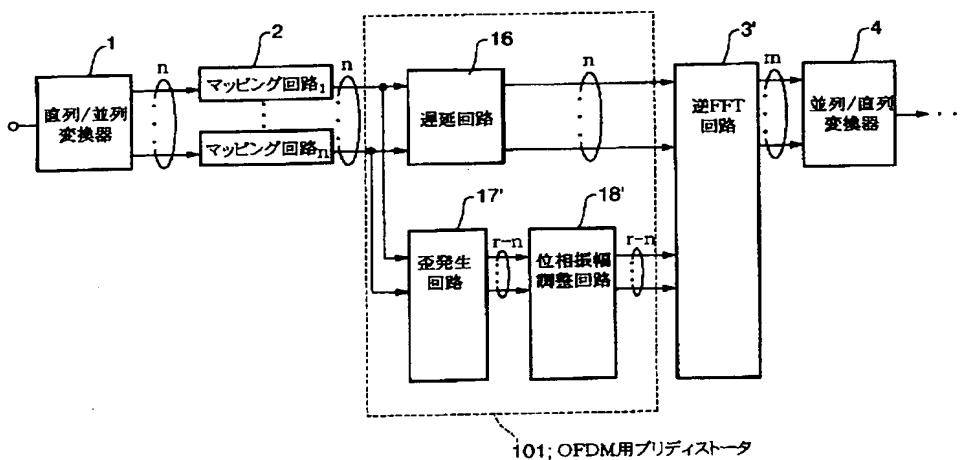
【図1】



【図 2】

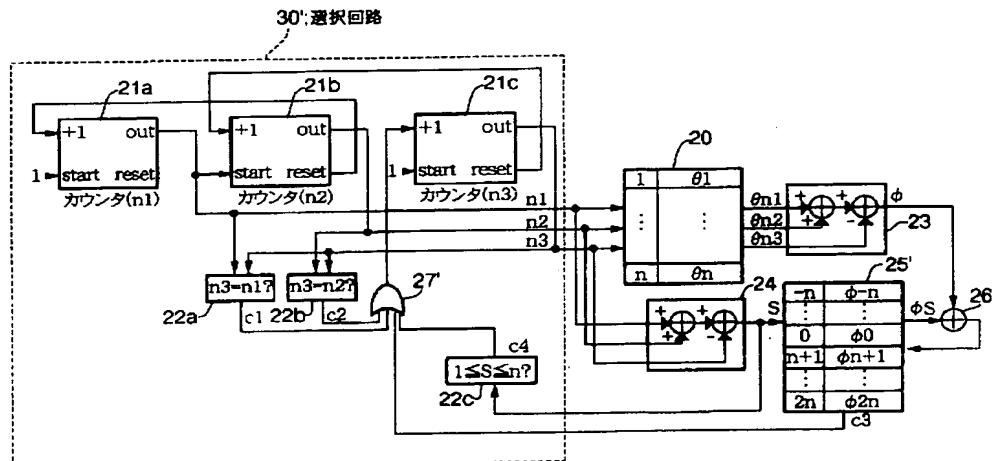


【図 3】

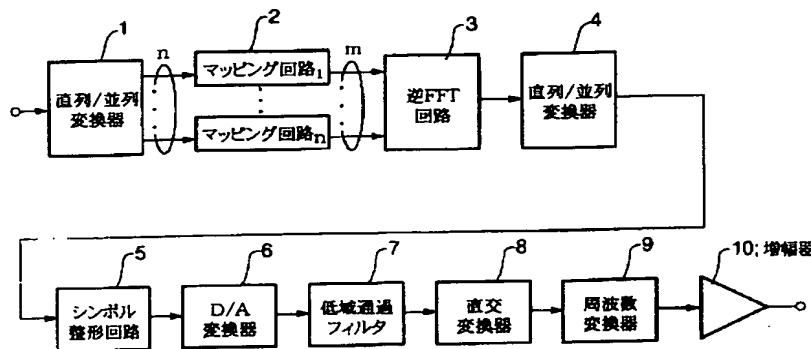


101; OFDM用プリディストータ

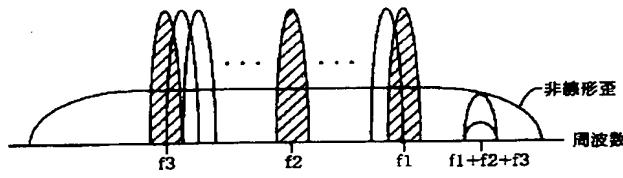
【図 4】



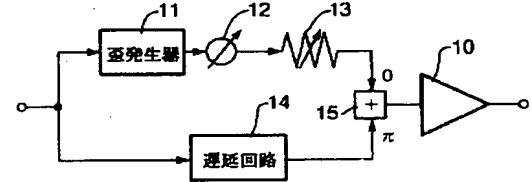
【図 5】



[図 6]



[图 7]



This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**  
**As rescanning documents *will not* correct images**  
**problems checked, please do not report the**  
**problems to the IFW Image Problem Mailbox**